

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-152560
 (43)Date of publication of application : 18.06.1993

(51)Int.CI. H01L 29/28
 H01L 21/336
 H01L 29/784
 H01L 29/804

(21)Application number : 03-057574 (71)Applicant : MITSUBISHI ELECTRIC CORP
 SUMITOMO CHEM CO LTD

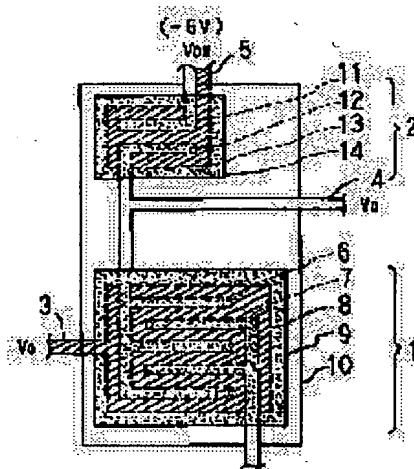
(22)Date of filing : 22.03.1991 (72)Inventor : ONISHI TOSHIHIRO
 DOI HIDEJI
 FUCHIGAMI HIROYUKI
 TSUMURA AKIRA
 HIZUKA YUJI

(54) INVERTER

(57)Abstract:

PURPOSE: To make an inexpensive inverter at high integration degree on a large-area board by constituting an active layer of at least one side of a switching element and a load element out of an organic compound having semiconductor properties.

CONSTITUTION: For an active layer 9, anything will do so long as it may be an organic compound which has semiconductor characteristics, for example it can be made of a charge transfer complex or the like (or the combination of these compounds) of each kind of low polymer or high polymer of a kind of polyphiline, a kind of metallic polyphiline, a kind of metallic phthalocyanine, or the like. As the method of making the active layer 9 consisting of an organic semiconductor, vacuum deposition method, molecular beam epitaxial growth method, ion cluster beam method, or the like is selected according to the material. Next, similar to a switching element 1, the basic structure of the load element 2, where the active layer 14 is constituted of an organic semiconductor film, is the same as the switching element 1. Hereby, an inverter wide in application range can be gotten, using a semiconductor which is simple in process and inexpensive.



LEGAL STATUS

[Date of request for examination] 13.11.1997

[Date of sending the examiner's decision of rejection] 07.08.2001

[Kind of final disposal of application other than the examiner's decision of rejection or

[application converted registration]

[Date of final disposal for application]

[Patent number] 3522771

[Date of registration] 20.02.2004

[Number of appeal against examiner's decision
of rejection] 2001-15793

[Date of requesting appeal against examiner's
decision of rejection] 06.09.2001

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



Simple File Transfer

Upload Result

2006/03/01 13:30

The following files have been uploaded.

Transfer No.	20060301-00122
--------------	----------------

Destination Email Address 1	dhmoon@mmi.co.kr
Sender Email Address	IPPS.SUWA@exc.epson.co.jp
Upload Date and Time	2006/03/01 13:30
Downloadable Until	2006/03/05 13:30

File Name	Size
J0116219JP.rtf	300,746 byte
J0116219US01_fig.zip	1,832,768 byte
J0116219US01アジア用.rtf	201,357 byte
J0116219JPDrawings.pdf	428,719 byte

Return

* NOTICES *

JPO and NCIP are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
 2. **** shows the word which can not be translated.
 3. In the drawings, any words are not translated.
-

CLAIMS

[Claim(s)]

[Claim 1] A gate electrode, and the source electrode and drain electrode which have been arranged so that said gate electrode may be countered, The field-effect transistor which consists of a barrier layer for forming a current path between said source electrodes and said drain electrodes The inverter characterized by constituting one [at least] barrier layer of said switching element or said load components from an organic compound which has a semi-conductor property in the inverter of a switching element or the load components used as said switching element at least

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the inverter using the organic compound (henceforth an organic semiconductor) which has a semi-conductor property especially as a barrier layer about the inverter used for a logic gate, Memory IC, a switching element or an amplifier, IC that makes these a basic configuration component.

[0002]

[Description of the Prior Art] Generally, since an organic semiconductor has the advantage in which it is cheap, lightweight compared with an inorganic semi-conductor, and is rich in moldability, and simplification of a process can be measured, it is attracting attention especially in recent years. Conventionally, although the low-molecular semi-conductor represented by the phthalocyanine, pi-conjugated-system giant molecule which is represented by the poly thiophene or pi-conjugated-system giant molecule, and a frame are the same as an organic semiconductor, many things which show a semi-conductors-property, such as pi-conjugated-system oligomer which is

repeatedly represented by thiophene oligomer with the small number of unit, are known. [0003] These organic semiconductors are considered to form the band structure which consists of a forbidden band which separates a valence band, a conduction band, and these like an inorganic semi-conductor, and are explained to be what produces the carrier which carries a charge using the chemical approach, the electrochemical process, or the physical method by deducting an electron from a valence band, pouring an electron into (oxidation) and a conduction band (reduction), or carrying out (doping). From such a semi-conductor-property, an organic semiconductor can be applied to various semiconductor devices, and some reports are made until now.

[0004] The Schottky barrier component using the polypyrrole system macromolecule specifically referred to at the Schottky barrier component using the polyacetylene referred to at "the 52nd volume (J. Appl.Phys.) of journal OBU applied physics, the 869th page and 1981", JP,56-147486,A, etc., "the 54th volume (J. Appl.Phys.) of journal OBU applied physics, the 2511st page and 1983", JP,59-63760,A, etc. is known. Moreover, the heterojunction component which combined the n-mold CdS and p-mold polyacetylene which are an inorganic semi-conductor is reported so that it may be referred to in "the 51st volume (J. Appl.Phys.) of journal OBU applied physics, the 4252nd page, and 1980."

[0005] As a junction component which combined organic semiconductors "applied physics Letters (Appl.Phys.Lett.) -- the 59th volume p-mold referred to in the 1279th page and 1985", and pn gay junction component using n-mold polyacetylene, moreover -- " -- the 24th volume (Jpn.J.Appl.Phys.) of the Japan journal OBU applied physics, and the Lth -- the heterojunction component which consists of the polypyrrole and the poly thiophene which are referred to at 533 pages and 1985" is also known.

[0006] Furthermore, recently the attempt which applies an organic semiconductor to the barrier layer of a field-effect transistor (FET) should do. "The 54th volume (J. Appl.Phys.) of journal OBU applied physics, The 3255th page, the thing using the polyacetylene referred to in 1983", "-- chemistry Letters (Chem.Lett.) -- the thing using Pori (N-methyl pyrrole) referred to at the 863rd page and 1986" -- "applied physics Letters (Appl.Phys.Lett.) -- the 49th volume The 1210th page, the thing using the poly thiophene referred to in 1986", "-- chemical physics Letters (Chmi.Phys.Lett.) -- the thing using the metal phthalocyanine referred to at the 142nd volume, the 103rd page, and 1987" -- Or the thing using the thiophene oligomer referred to in "the 72nd volume (Solid State Comm.) of solid-state communication, the 381st page, and 1989" etc. is known.

[0007] In using inorganic semi-conductors, such as Si and GaAs, for a barrier layer,

presenting practical use and being used as a semiconductor device according to individual, setting up such FET was finished as an IC component, and it has realized the variegated function. However, on the other hand, the report of those other than the above-mentioned individual transistor is not made at all, but since chisel implementation is individual and possible, a function is restricted, and as for the transistor which used the organic semiconductor for the barrier layer, application is limited extremely. Therefore, the inverter used as basic configuration components, such as a logic gate, Memory IC, a switching element, and an amplifier, is unrealizable.

[0008]

[Problem(s) to be Solved by the Invention] As mentioned above, since it was realizable only as a transistor according to individual, the function was restricted and the semiconductor device which used the conventional organic semiconductor for the barrier layer had the trouble that application was limited.

[0009] It aims at obtaining the large inverter of the application range where it was made in in order that this invention might solve the above troubles, and a process serves as a basic configuration component of various IC circuits using an easy and cheap organic semiconductor.

[0010]

[Means for Solving the Problem] The inverter concerning this invention constitutes one [at least] barrier layer of a switching element or the load components from an organic semiconductor.

[0011]

[Function] In this invention, a cheap inverter is created with a large degree of integration on a large area substrate using an organic semiconductor with the sufficient process effectiveness as a barrier layer.

[0012]

[Example] Hereafter, one example of this invention is explained about drawing. The top view in which drawing 1 shows one example of this invention, the circuit diagram in which drawing 2 shows the inverter of drawing 1, and drawing 3 are the sectional views showing the structure of the switching element in drawing 1 concretely. Here, the inverter of Saturation IGFET and Load IGFET which consist of an insulated-gate mold FET (IGFET) is shown as an example of an inverter.

[0013] In drawing 1 -3, they are the switching element to which 1 performs a switching action, and the load component which series connection of 2 is carried out to a switching element 1, and acts as a load (nonlinear resistance component). In this case, a switching element 1 and the load component 2 are FET of the same configuration mostly, and

constitute one inverter in great numbers. The load component 2 may be the usual linear resistance machine, as mentioned later. 3 is the constant-voltage terminal by which the input terminal of an inverter and 4 were connected to the output terminal of an inverter, and 5 was connected to the power source VDD.

[0014] 6, 7, and 8 are the drain electrode of a switching element 1, a source electrode, and a gate electrode, respectively, the drain electrode 6 and the source electrode 7 have a gap mutually, and opposite arrangement is carried out at the gate electrode 8. The drain electrode 6 is connected to an output terminal 4, the source electrode 7 is connected to a gland and the gate electrode 8 is connected to the input terminal 3.

[0015] In addition, as a gate electrode 8, generally, although metals, such as gold, platinum, chromium, palladium, aluminum, an indium, molybdenum, low resistance polish recon, and a low resistance amorphous silicon, a stannic acid ghost, indium oxide, an indium stannic acid ghost (ITO), etc. are used (or these ingredients should put together), it is not necessarily restricted to these ingredients and a conductive organic system low molecular weight compound and pi-conjugated-system macromolecule may be used.

[0016] 9 is a barrier layer which forms a current path between the drain electrode 6 of a switching element 1, and the source electrode 7, and consists of thin films of an organic semiconductor. The barrier layer 9 of an organic semiconductor has covered the gate dielectric film (it mentions later) located between the drain electrode 6 and the source electrode 7 with the drain electrode 6 and the source electrode 7.

[0017] If a barrier layer 9 is an organic compound which has a semi-conductor property, anything, it is good, for example, may be formed from the electron donor acceptor complex of the various low-molecular one represented with low-molecular organic semiconductors, such as porphyrins, metalloporphyrins, phthalocyanines, metal phthalocyanines, and merocyanine, and a tetrathiafulvalene-tetracyano quinodimethan (TTF-TCNQ) complex, and a macromolecule etc. (or these compounds should put together).

[0018] moreover, as other usable polymeric materials, to a barrier layer 9 Polyacetylene, polypyrrole, Pori (N-permutation pyrrole), Pori (3-permutation pyrrole), Pori (3, 4-2 permutation pyrrole), the poly thiophene, Pori (3-permutation thiophene), Pori (3, 4-2 permutation thiophene), poly benzothiophene, PORIISO thianaphthene; Pori (2, 5-thienylene vinylene), the Pori (2, 5-thienylene vinylene) derivative, Pori (2, 5-FURIREN vinylene), the Pori (2, 5-FURIREN vinylene) derivative, The poly aniline, Pori (N-permutation aniline), Pori (2-permutation aniline), Pori (3-permutation aniline), Pori (2, 3-2 permutation aniline), and the poly diacetylenes There are gold [a polyyne /

the poly azulene, the poly pyrene, the poly carbazole, Pori (N-permutation carbazole) poly seleno FEN, Pori Fran, the poly benzofuran, poly para-phenylene, poly para-phenylene vinylene, and 1, pyridazine, the poly acene, a graphite-like macromolecule, etc. Furthermore, pi-conjugated-system macromolecules, such as two or more kinds of copolymers of these macromolecules and these amphiphilic derivatives, are also usable, there is no limit in the repeat number of unit of the macromolecule, and with a repeat numbers of unit of four or more oligomer is also usable.

[0019] the gate dielectric film with which 10 insulates between the drain electrode 6 and the source electrode 7, and the gate electrodes 8 .. it is .. an inorganic system or an organic system .. ** .. it may be formed from ****, silicon oxide, silicon nitride, an aluminum oxide, polyethylene, polyester, polyimide, a polyphenylene sulfide, poly paraxylene, a polyacrylonitrile, or various insulating LB film (or these ingredients should put together).

[0020] 11, 12, and 13 are the drain electrode of the load component 2, a source electrode, and a gate electrode, respectively, the drain electrode 11 and the source electrode 12 have a gap mutually, and opposite arrangement is carried out at the gate electrode 13. The drain electrode 11 is connected to the constant-voltage terminal 5, the source electrode 12 is connected to an output terminal 4, and the gate electrode 13 is connected to the constant-voltage terminal 5. 14 is a barrier layer which consists of a thin film of the organic semiconductor which forms a current path between the drain electrode 11 of the load component 2, and the source electrode 12, and has covered the gate dielectric film 10 located between the drain electrode 11 and the source electrode 12 with the drain electrode 11 and the source electrode 12. Between the drain electrode 11 and the source electrode 12, and the gate electrodes 13 has insulated gate dielectric film 10.

[0021] 15 is an insulating substrate in which the gate electrode 8 is formed, and may consist of various insulating plastics, such as glass, an alumina sintered compact, a polyimide film, polyester film, a polyethylene film, polyphenylene sulfide film, and poly paraxylene film.

[0022] Next, the concrete creation approach of the switching element 1 which constituted the barrier layer 9 from an organic-semiconductor thin film is explained according to an individual, referring to drawing 3. This kind of switching element 1 is applicable to FET, such as IGFET, the junction-gate mold FET, and the shot key gate mold FET. The time of component creation applying to easy IGFET especially among these FET is the optimal, and the case where a switching element 1 is IGFET is shown here.

[0023] Moreover, the switching element 1 shown in drawing 3 is not restricted to

especially this structure, although the barrier layer 9 of an organic compound has the planar structure where it is located on the drain electrode 6, the source electrode 7, and the gate electrode 8. For example, the drain electrode 6 and the source electrode 7 may adopt the stagger structure where it is located on a barrier layer 9, as component structure of such IGFET, or the reverse stagger structure where gate dielectric film 10 is located on a barrier layer 9, and the gate electrode 8 is further located on it may be adopted. Moreover, the reverse planar structure where a barrier layer 9 is located on an insulating substrate 15, the drain electrode 6 and the source electrode 7 are further located on it, and the gate electrode 8 is further located through gate dielectric film 10 on the barrier layer 9 between the drain electrode 6 and the source electrode 7 etc. may be adopted.

[0024] In drawing 3, first, the gate electrode 8 is formed on an insulating substrate 15, gate dielectric film 10 is formed on the gate electrode 8, the electrode 6, i.e., the drain electrode, and the source electrode 7 of a pair which were isolated about the predetermined gap on gate dielectric film 10 are formed, and the barrier layer 9 which consists of an organic semiconductor is further formed between the drain electrode 6 and the source electrode 7.

[0025] At this time, there are vacuum evaporation, sputtering, plating, various CVD growth, etc. as the formation approach of a metal membrane 8, i.e., a gate electrode. In addition, the gate electrode 8 may serve both as the gate electrode 8 and an insulating substrate 15 according to the purpose of use, and conductive plates, such as a silicon wafer, a stainless plate, and a copperplate, may be used for it. When serving both as the gate electrode 8 and an insulating substrate 15 with a silicon wafer, it is suitable to use the silicon oxide film obtained by the method of oxidizing silicon thermally etc. as gate dielectric film 10.

[0026] moreover -- as the thin film creating method of a barrier layer 9 which consists of an organic semiconductor -- vacuum evaporation technique, molecular beam epitaxy, the ion cluster beam method, the low energy ion beam method, the ion plating method, a CVD method, the sputtering method, a plasma polymerization method, an electrolytic polymerization method, a chemistry polymerization method, a spin coat method, the cast method, a dipping method, the roll coat method, the bar coat method, and LB -- law etc. may be chosen according to those with usable, and an ingredient. Although it is not restricted but changes also with organic semiconductors, generally especially the thickness of this barrier layer 9 has desirable 3000A or less in order to influence the property of a switching element 1 greatly in many cases.

[0027] Furthermore, although the electrical property of an organic semiconductor is

often controlled by doping processing, as this doping approach, there are the chemical approach and a physical method and all are usable. The chemical approach has doping from (1) gaseous phase, doping from (2) liquid phase, (3) electrochemical doping, (4) light initiation doping, etc., and there is ion-implantation in a physical method.

[0028] moreover -- although there is especially no limit as the formation approach of gate dielectric film 10 -- a CVD method, a plasma-CVD method, a plasma polymerization method, vacuum deposition, a spin coating method, a dipping method, cluster ion beam vacuum deposition, and LB -- law etc. is used.

[0029] Next, the method of creating the load component 2 the barrier layer 14 consisted of organic semiconductor thin films is explained like a switching element 1. If the fundamental structure of the load component 2 is the same as that of the switching element 1 shown in drawing 3, for example, the case of IGFET is explained, the gate electrode 13 is formed on an insulating substrate 15, the electrode 11, i.e., the drain electrode, and the source electrode 12 of a pair which were isolated about the predetermined gap through gate dielectric film 10 are formed on it, and the barrier layer 14 is formed between the drain electrode 11 on it, and the source electrode 12. Moreover, it is not restricted to planar structure, but stagger structure, reverse stagger structure, reverse planar structure, etc. are created by arbitration, and a component ingredient, the art also of the load component 2, etc. are the same as that of the case of a switching element 1.

[0030] In addition, in drawing 1 and drawing 2, although the load component 2 (or that structure) was made into the saturation form where the drain electrode 11 was connected to the gate electrode 13, it is not necessarily restricted to this structure. For example, the source electrode 12 may be connected to the gate electrode 13 like drawing 4 as another structure of a saturation form. A switching element 1 is an enhancement n channel, and the structure of drawing 4 is suitable when it is the depletion type whose load component 2 is a depression n channel.

[0031] Moreover, the partial saturation form where the drain electrode 11, the source electrode 12, and the gate electrode 13 were made to become independent altogether is also usable, and it is necessary to form a gate terminal 16 independently in this case like drawing 5, for the gate electrode 13 of the load component 2. Moreover, the planar structure of an inverter becomes like drawing 6, and the gate electrode 13 is completely isolated from the constant-voltage terminal 5. Furthermore, it is good also as a complementary which reversed the polarity of supply voltage VDD and connected each gate electrodes 8 and 13 of a switching element 1 and the load component 2 like drawing 7. A switching element 1 is an enhancement n channel, and this structure is suitable

when the load component 2 is a depletion type p channel.

[0032] Moreover, although the organic semiconductor used as each barrier layers 9 and 14 of a switching element 1 and the load component 2 was formed according to the individual in drawing 1, it can also form at once with one kind of organic semiconductor, and, thereby, a component creation process can be simplified further.

[0033] Moreover, although both the barrier layers 9 and 14 of each FET were constituted from an organic semiconductor, another side can also consist of inorganic semi-conductors that what is necessary is just to constitute one [at least] barrier layer of a switching element 1 or the load component 2 from an organic semiconductor. For example, the inorganic semi-conductor FET with III-V group compounds, such as an amorphous silicon, single crystal silicon, polycrystalline silicon, and GaAs, can be used as a switching element 1.

[0034] Moreover, it may replace with the load component 2 which consists of IGFET, and the usual linear-resistance machine 17 may be used like drawing 8. In this case, especially the limit about the linear-resistance machine 17 has the impurity diffusion method as opposed to a high resistance insulator for example, ion-implantation, an usable polycrystalline silicon grown method, etc., as an approach which there is not and forms the linear-resistance machine 17 on the same insulating substrate. Furthermore, as each components 1 and 2, shot key gate either [not only IGFET but] the junction-gate mold FET or a mold FET etc. is usable, and there is also no limit about component structure as mentioned above.

[0035] Next, the case of drawing 8 is taken for an example for simplification, and actuation of the inverter by this invention is explained. Here, the case where p channel IGFET which operates by the enhancement mode which Current ID increases as a switching element 1 according to the gate applied voltage VG is used is explained.

[0036] If input voltage VIN (=VG) is impressed and gate voltage VG is impressed to the gate electrode 8, a carrier is generated in a barrier layer 9, a switching element 1 will be in a flow (ON) condition, and Current ID will flow from the source electrode 7 to the drain electrode 6. Moreover, since a carrier is not generated in a barrier layer 9 when input voltage VIN (= VG) is not impressed, between the source electrode 7 and the drain electrode 6, Current ID will not flow but a switching element 1 will be in an OFF state.

[0037] Therefore, where supply voltage VDD is impressed to the constant-voltage terminal 5, when input voltage VIN is not impressed to an input terminal 3, a switching element 1 becomes off, and the current ID of an inverter circuit does not arise, but the output voltage VOUT almost equal to supply voltage VDD (= VD) is obtained from an output terminal 4. [0038] On the other hand, if input voltage VIN is impressed to an

input terminal 3, a switching element 1 will be in an ON state, Current ID will arise, and it will flow in the linear-resistance vessel 17 as a load component 2. According to this current ID, a voltage drop arises in the linear-resistance machine 17, and output voltage VOUT becomes low by that voltage drop. At this time, the relation between input voltage VIN and output voltage VOUT is shown like drawing 9. Here, supply voltage VDD is set to -5V, and when changing input voltage VIN in 0V--5V, the output swing of the output voltage VOUT which was illustrated can be obtained.

[0039] Next, other examples adapting the inverter by this invention are explained. Drawing 10 is the circuit diagram showing the ring oscillator which connected the odd same inverters as drawing 2, the output terminal 4 of the inverter of an input side is connected to the input terminal 3 of a latter inverter, and shares the constant-voltage terminal 5, and is arranged by the serial one by one. 18 is a constant-voltage terminal by the side of the source, and is connected to each inverter in common. Moreover, although the number of stages of an inverter was set to 5, it can be set as the odd number number of stages of arbitration. For example, when supply voltage VDD and input voltage VG were made to -5V and an inverter number of stages was made into 11 steps, respectively, the oscillation was accepted by the voltage monitor and it was called for at the room temperature that the signal transduction rate per gate is 1microsec.

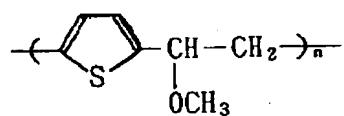
[0040] In addition, in the case of a ring oscillator, the structure and the creating method of each component are the same as that of the above-mentioned, but since it consists of many inverters, it is desirable to use the creating method which can form many inverters at once. For this reason, wet process, such as vacuum processes, such as vacuum evaporation technique, cluster ion beam vacuum deposition, organic molecular beam epitaxy, and organic molecular-beam vacuum deposition, or the spin code method, a dipping method, the cast method, the roll coat method, and the bar code method, is suitable. Furthermore, as for the barrier layer of each switching element 1 in a ring oscillator, and the load component 2, forming with a single organic semiconductor is desirable.

[0041] Next, the formation process of the inverter by this invention is further explained to a detail, referring to drawing 3. First, as an insulating substrate 15, vacuum deposition, a usual optical lithography method, and the usual etching method are used on this wafer using an alkali-free-glass wafer with a thickness of 0.7mm for the diameter of 2cm, and a chromium thin film pattern with a thickness of 1000A it is thin to the gate electrode 8 is formed.

[0042] Then, after using usual vacuum deposition and the usual mask method, forming SiO_x with a thickness of 5000A it is thin to gate dielectric film 10, using vacuum

deposition on it and forming a chromium thin film with a thickness of 1000A further on the gate electrode 8, a metal membrane with a thickness of 2000A is formed on it. Here, the chromium thin film of a substrate is used in order to raise adhesion with gate dielectric film 10 (SiO_x), the substantial drain electrode 6, and the source electrode 7 (metal membrane). Next, patterning of the metal membrane which makes a chromium thin film a substrate is carried out using a usual optical lithography method and the usual etching method, and the desired drain electrode 6 and the desired source electrode 7 are formed, and it considers as a component substrate.

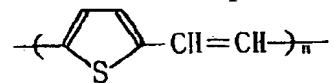
[0043] Next, the process which forms a barrier layer 9 on a component substrate is explained. First, a structure expression [** 1]



It comes out and the spin coat of the 2wt% dimethylformamide solution of this precursor polymer is carried out on a component substrate using the precursor of Pori (2, 5-thienylene vinylene) shown. For 60 seconds, 4000rpm and turnover time are performed at 60 degrees C, and, as for the spin coat at this time, ambient temperature is performed for a rotational frequency in air.

[0044] In this way, after making it dry enough to the thin film of the formed precursor polymer, heat-treatment for 90 minutes is performed for hydrogen chloride gas at 210 degrees C under a minute amount **** nitrogen air current using an infrared gold image furnace. Supply of the hydrogen chloride gas at this time slushes nitrogen gas on the hydrochloric acid reagent undiluted solution in a scrubbing bottle, and after drying the nitrogen gas containing the hydrogen chloride gas which flows out of a scrubbing bottle with concentrated sulfuric acid and a calcium chloride dry pipe, it is performed by flowing in an image furnace.

[0045] By this heat-treatment, the precursor polymer of Pori (2, 5-thienylene vinylene) is a structure expression [** 2].



(n ≈ 1000)

It comes out, is changed into Pori (2, 5-thienylene vinylene) shown, and becomes the very homogeneous brown film which has gloss. In the infrared absorption spectrum of

the thin film after heat-treatment, absorption of the C-O-C stretching vibration of 1100cm⁻¹ based on the side-chain ether linkage of a precursor polymer can disappear, and the check of this conversion can be performed, when absorption of the deformation vibration outside a transformer BIMINIREN C-H plane of 1590cm⁻¹ based on vinylene association of Pori (2, 5-thienylene vinylene) appears. Or in an electron spectrum, the absorption based on a pi-pi star (condition which the conductive electronic state reversed by the optical exposure etc.) with the about 530nm maximum appears, and the above-mentioned conversion can be checked also from pi-conjugated bond by the repeat of single association and a double bond being formed.

[0046] In this way, the obtained inverter consists of IGFET(s) of a planar mold so that it may be referred to at drawing 1 - drawing 3 R>3, the chromium thin film between a glass wafer component substrate (insulating substrate 15) and a SiO_x insulator layer (gate dielectric film 10) works as a gate electrode 8, and the metal membrane of the pair which makes a substrate the chromium thin film on gate dielectric film 10 works as the drain electrode 6 and a source electrode 7. Moreover, even if Pori (2, 5-thienylene vinylene), i.e., PTV, which is the giant molecule of pi-conjugated system does not perform doping processing at all, it shows a semi-conductor property, and it works as barrier layers 9 and 14 of a switching element 1 and the load component 2.

[0047] Here, the channel width (W) and channel length (L) of a switching element 1 are 2mm and 2.5 micrometers, respectively, and the channel width (W) and channel length (L) of the load component 2 are 400 micrometers and 2.5 micrometers, respectively. Drawing 11 shows the electrical property of the switching element 1 obtained in this way, an axis of abscissa is the electrical potential difference VDS between the source electrode 7 and the drain electrode 6, and an axis of ordinate is the current ID between the source electrode 7 and the drain electrode 6. the threshold electrical potential difference VTH in case each static characteristic in different gate voltage VG (= -1V, -2V, ..., -5V) is shown here and a channel begins to be formed in a barrier layer 9 from this static characteristic -- about 0 -- it being V and a list are asked for the carrier mobility mu being $1 \times 10^{-1} \text{ cm}^2/\text{V}\cdot\text{sec}$.

[0048] On the other hand, in order to use the load component 2 as the saturation load component (drawing 2) which consists of IGFET, the drain electrode 11 (isolated from the gate electrode 13 through gate dielectric film 10) with which supply voltage VDD is impressed is connected with the gate electrode 13 on the outside of the load component 2. Thereby, it becomes VDD=VGG and, ideally, the current value at the current saturation initiation time by the pinch-off in transistor characteristics comes to be shown. The load line of such a saturation load component 2 is shown in drawing 11. Here, an axis of

abscissa is, the gate voltage VGG VDD, i.e., the supply voltage, of the load component 2. Moreover, the input-output behavioral characteristics of the inverter combined with the switching element 1 become like drawing 9, as mentioned above.

[0049] As mentioned above, although the load component 2 was explained as a saturation load component, in drawing 5 and a partial saturation load component like drawing 6 as well as the above, it can create. In this case, supply voltage VDD and gate voltage VGG are not necessarily in agreement, and the channel resistance of the load component 2 is set as arbitration with gate voltage VGG. However, as mentioned above, since the gate threshold electrical potential difference VTH is about 0V, when gate voltage VGG is made in agreement with supply voltage VDD and it uses in the current saturation field of the load component 2, in accordance with the property in the case of the above-mentioned saturation load component, the input-output behavioral characteristics of an inverter also become being the same as that of drawing 9.

[0050] As mentioned above, an organic inverter component can be used by creating to a monolithic what combined organic [FET / two] (or at least one piece) as an inverter used as basic components, such as IC circuit, combining creation, or organic [FET] and a linear-resistance machine. Therefore, cost is reduced, in being able to create a component on a large area substrate in an easy process and a degree's of integration improving rather than before. At this time, the output voltage VOUT of reverse voltage is obtained to input voltage VIN, and an inverter property is not spoiled. Moreover, creation also of the ring oscillator of structure which connected odd same inverters is attained.

[0051]

[Effect of the Invention] Since one [at least] barrier layer of a switching element or the load components was constituted from an organic semiconductor as mentioned above according to this invention, it is effective in the large inverter of the application range where a process serves as a basic configuration component of various IC circuits using an easy and cheap organic semiconductor being obtained.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the top view showing the structure of one example of this invention.

[Drawing 2] It is the circuit diagram showing the connection condition of drawing 1.

[Drawing 3] It is the sectional view showing the structure of the switching element in drawing 1.

[Drawing 4] It is the circuit diagram showing the connection condition of other examples of this invention at the time of using the load component in drawing 1 as other saturation load components.

[Drawing 5] It is the circuit diagram showing the connection condition of other examples of this invention at the time of using the load component in drawing 1 as a partial saturation load component.

[Drawing 6] It is the top view showing the structure of the whole inverter of drawing 5.

[Drawing 7] It is the circuit diagram showing the connection condition of other examples of this invention at the time of making an inverter into Complementarity FET.

[Drawing 8] It is the circuit diagram showing the connection condition of other examples of this invention at the time of using the load component in drawing 1 as a linear-resistance machine.

[Drawing 9] It is the property Fig. showing the input-output behavioral characteristics of the inverter by this invention.

[Drawing 10] It is the circuit diagram showing the connection condition of other examples of this invention at the time of connecting odd inverters of drawing 1 and drawing 2, and considering as a ring oscillator.

[Drawing 11] It is the property Fig. showing the property of the switching element by this invention, and a load component.

[Description of Notations]

1 Switching Element

2 Load Component

6 11 Drain electrode

7 12 Source electrode

8 13 Gate electrode

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-152560

(43)公開日 平成5年(1993)6月18日

(51)Int.Cl.⁵

H 01 L 29/28
21/336
29/784

識別記号

府内整理番号
8728-4M

F I

技術表示箇所

8225-4M
7739-4M

H 01 L 29/ 78
29/ 80

301 Z
Z

審査請求 未請求 請求項の数1(全10頁) 最終頁に続く

(21)出願番号

特願平3-57574

(22)出願日

平成3年(1991)3月22日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(74)上記1名の代理人 弁理士 大岩 増雄 (外2名)
)

(71)出願人 000002093

住友化学工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(74)上記1名の代理人 弁理士 高田 守 (外2名)

(72)発明者 大西 敏博

茨城県つくば市北原6番 住友化学工業株式会社筑波研究所内

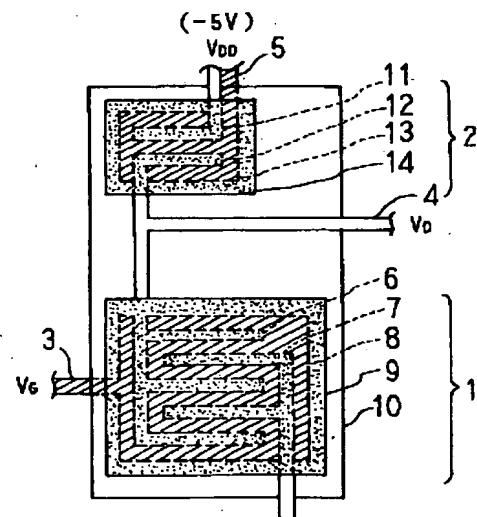
最終頁に続く

(54)【発明の名称】 インバータ

(57)【要約】

【目的】 この発明は、簡単なプロセスで大面積基板上に素子を作成できるローコストの有機半導体(半導体特性を有する有機化合物)を用いて、種々のIC回路等の基本構成素子となる応用範囲の広いインバータを得る。

【構成】 有機FETを2個(又は、少なくとも1個)を組み合わせたものをモノリシックに作成するか、有機FET及び線形抵抗器を組み合わせることにより、スイッチング素子又はロード素子のうちの少なくとも一方の活性層を有機半導体で構成したインバータを得る。



- 1:スイッチング素子
2:ロード素子
6,11:ドレイン電極
7,12:ソース電極
8,13:ゲート電極
9,14:活性層

(2)

I

【特許請求の範囲】

【請求項1】 ゲート電極と、前記ゲート電極に対向するように配置されたソース電極及びドレイン電極と、前記ソース電極と前記ドレイン電極との間に電流通路を形成するための活性層とからなる電界効果トランジスタを、スイッチング素子又はロード素子のうちの少なくとも前記スイッチング素子として用いたインバータにおいて、前記スイッチング素子又は前記ロード素子のうちの少なくとも一方の活性層を半導体特性を有する有機化合物で構成したことを特徴とするインバータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、論理ゲート、メモリIC、スイッチング素子、又は、增幅素子、及び、これらを基本構成素子とするIC等に用いられるインバータに関し、特に活性層として半導体特性を有する有機化合物(以下、有機半導体という)を用いたインバータに関するものである。

【0002】

【従来の技術】 一般に、有機半導体は、無機半導体と比べて、安価で軽量で成型性に富み且つプロセスの簡略化が計れるという長所を有するため、近年、特に注目されつつある。従来より、有機半導体として、フタロシアニンに代表される低分子半導体、ポリチオフェンに代表されるようなπ-共役系高分子、又は、π-共役系高分子と骨格が同じであるが繰り返し単位数の小さいチオフェンオリゴマーに代表されるようなπ-共役系オリゴマー等、半導体的性質を示すものが多く知られている。

【0003】 これらの有機半導体は、無機半導体と同様に、価電子帯、伝導帯及びこれらを隔てる禁止帯からなるバンド構造を形成していると考えられ、化学的方法、電気化学的方法又は物理的方法等を用いて、価電子帯から電子を引き去ったり(酸化)、伝導帯に電子を注入したり(還元)すること(ドーピング)により、電荷を運ぶキャリアを生じるものと説明されている。このような半導体的性質から、有機半導体は、種々の半導体素子に適用されることが可能であり、これまでにいくつかの報告がなされている。

【0004】 具体的には、「ジャーナル・オブ・アプライド・フィジックス(J. Appl. Phys.)第52巻、第869頁、1981年」及び特開昭56-147486号公報等に参照されるポリアセチレンを用いたショットキー接合素子、又、「ジャーナル・オブ・アプライド・フィジックス(J. Appl. Phys.)第54巻、第2511頁、1983年」及び特開昭59-63760号公報等に参照されるポリピロール系高分子を用いたショットキー接合素子が知られている。又、「ジャーナル・オブ・アプライド・フィジックス(J. Appl. Phys.)第51巻、第4252頁、1980年」に参照されるように、無機半導体であるn型CdSとp型ポリアセチレンとを組み合

(2)

2

わせたヘテロ接合素子が報告されている。

【0005】 有機半導体同士を組み合わせた接合素子としては、「アプライド・フィジックス・レターズ(App. 1. Phys. Lett.)第59巻、第1279頁、1985年」に参照されるp型及びn型ポリアセチレンを用いたp-nホモ接合素子、又、「ジャパン・ジャーナル・オブ・アプライド・フィジックス(Jpn. J. Appl. Phys.)第24巻、第L533頁、1985年」に参照されるポリピロール及びポリチオフェンからなるヘテロ接合素子も知られている。

【0006】 更に、最近では、有機半導体を電界効果トランジスタ(FET)の活性層に適用する試みがなされ、「ジャーナル・オブ・アプライド・フィジックス(J. Appl. Phys.)第54巻、第3255頁、1983年」に参照されるポリアセチレンを用いたもの、「ケミストリ・レターズ(Chem. Lett.)第863頁、1986年」に参照されるポリ(N-メチルピロール)を用いたもの、「アプライド・フィジックス・レターズ(App. 1. Phys. Lett.)第49巻、第1210頁、1986年」に参照されるポリチオフェンを用いたもの、「ケミカル・フィジックス・レターズ(Chmi. Phys. Lett.)第142巻、第103頁、1987年」に参照される金属フタロシアニンを用いたもの、又は、「ソリッド・ステイト・コミュニケーション(Solid State Comm.)第72巻、第381頁、1989年」に参照されるチオフェンオリゴマーを用いたもの等が知られている。

【0007】 このようなFETは、活性層にSiやGaAs等の無機半導体を用いて実用に供されており、個別の半導体素子として用いられるうえ、IC素子として組み上げられて多彩な機能を実現している。しかし、一方では、有機半導体を活性層に用いたトランジスタは、上記個別トランジスタ以外の報告は何らなされておらず、個別でのみ実現可能であるため、機能が限られ且つ応用が極めて限定されている。従って、論理ゲート、メモリIC、スイッチング素子、増幅素子等の基本構成素子となるインバータを実現することはできない。

【0008】

【発明が解決しようとする課題】 従来の有機半導体を活性層に用いた半導体素子は以上のように、個別のトランジスタとしてしか実現できないので、機能が限られ且つ応用が限定されるという問題点があった。

【0009】 この発明は上記のような問題点を解決するためになされたもので、プロセスが簡単で且つ安価な有機半導体を用いて、種々のIC回路の基本構成素子となる応用範囲の広いインバータを得ることを目的とする。

【0010】

【課題を解決するための手段】 この発明に係るインバータは、スイッチング素子又はロード素子のうちの少なくとも一方の活性層を有機半導体で構成したものである。

【0011】

【作用】 この発明においては、活性層としてプロセス効率の良い有機半導体を用い、安価なインバータを大面積

(3)

3

基板上で大きい集積度で作成する。

【0012】

【実施例】以下、この発明の一実施例を図について説明する。図1はこの発明の一実施例を示す平面図、図2は図1のインバータを示す回路図、図3は図1内のスイッチング素子の構造を具体的に示す断面図である。ここでは、インバータの一例として、絶縁ゲート型FET(I G F E T)からなる飽和IGFET及び負荷IGFETのインバータを示す。

【0013】図1～3において、1は開閉動作を行うスイッチング素子、2はスイッチング素子1に直列接続されて負荷(非線形抵抗素子)として作用するロード素子である。この場合、スイッチング素子1及びロード素子2は、ほぼ同一構成のFETであり、両方で1つのインバータを構成している。ロード素子2は、後述するように、通常の線形抵抗器であってもよい。3はインバータの入力端子、4はインバータの出力端子、5は電源VDDに接続された定電圧端子である。

【0014】6、7、8はそれぞれスイッチング素子1のドレイン電極、ソース電極、ゲート電極であり、ドレイン電極6及びソース電極7は、相互間にギャップを有してゲート電極8に対向配置されている。ドレイン電極6は出力端子4に接続され、ソース電極7はグランドに接続され、ゲート電極8は入力端子3に接続されている。

【0015】尚、ゲート電極8としては、一般に、金、白金、クロム、パラジウム、アルミニウム、インジウム、モリブデン、低抵抗ポリシリコン、低抵抗アモルファスシリコン等の金属や錫酸化物、酸化インジウム、インジウム錫酸化物(ITO)等(又は、これらの材料の組み合わせ)が用いられるが、これらの材料に限られるわけではなく、導電性の有機系低分子化合物やπ-共役系高分子を用いてもよい。

【0016】9はスイッチング素子1のドレイン電極6とソース電極7との間に電流通路を形成する活性層であり、有機半導体の薄膜から構成されている。有機半導体の活性層9は、ドレイン電極6及びソース電極7と共に、ドレイン電極6及びソース電極7間に位置するゲート絶縁膜(後述する)を覆っている。

【0017】活性層9は、半導体性質を有する有機化合物であればなんでもよく、例えば、ポルフィリン類、金属ポルフィリン類、フタロシアニン類、金属フタロシアニン類、メロシアニン等の低分子有機半導体、及び、テトラチアフルバレン-テトラシアノキノジメタン(TT F-T C N Q)錯体で代表される各種低分子及び高分子の電荷移動錯体等(又は、これらの化合物の組み合わせ)から形成され得る。

【0018】又、活性層9に使用可能な他の高分子材料としては、ポリアセチレン、ポリピロール、ポリ(N-置換ピロール)、ポリ(3-置換ピロール)、ポリ(3,4-二

(4)

4

置換ピロール)、ポリチオフェン、ポリ(3-置換チオフェン)、ポリ(3,4-二置換チオフェン)、ポリベンゾチオフェン、ポリイソチアナフテン、ポリ(2,5-チエニレンビニレン)、ポリ(2,5-チエニレンビニレン)誘導体、ポリ(2,5-フリレンビニレン)、ポリ(2,5-フリレンビニレン)誘導体、ポリアニリン、ポリ(N-置換アニリン)、ポリ(2-置換アニリン)、ポリ(3-置換アニリン)、ポリ(2,3-二置換アニリン)、ポリジアセチレン類、ポリアズレン、ポリピレン、ポリカルバゾール、ポリ(N-置換カルバゾール)、ポリセレノフェン、ポリフラン、ポリベンゾフラン、ポリパラフェニレン、ポリパラフェニレンビニレン、ポリインドール、ピリダジン、ポリアセン、グラファイト状高分子等がある。更に、これらの高分子の2種類以上の共重合体、及びこれらの両親媒性誘導体等のπ-共役系高分子も使用可能であり、その高分子の繰り返し単位数には制限がなく、繰り返し単位数4以上のオリゴマーも使用可能である。

【0019】10はドレイン電極6及びソース電極7とゲート電極8との間を絶縁するゲート絶縁膜であり、無機

20 系又は有機系をとわず、酸化シリコン、窒化シリコン、酸化アルミニウム、ポリエチレン、ポリエステル、ポリイミド、ポリフェニレンスルフィド、ポリパラキシレン、ポリアクリロニトリル、又は、各種絶縁性LB膜等(又は、これらの材料の組み合わせ)から形成され得る。

【0020】11、12、13はそれぞれロード素子2のドレイン電極、ソース電極、ゲート電極であり、ドレイン電極11及びソース電極12は、相互間にギャップを有してゲート電極13に対向配置されている。ドレイン電極11は定電圧端子5に接続され、ソース電極12は出力端子4に接続され、ゲート電極13は定電圧端子5に接続されている。

30 14はロード素子2のドレイン電極11とソース電極12との間に電流通路を形成する有機半導体の薄膜からなる活性層であり、ドレイン電極11及びソース電極12と共に、ドレイン電極11及びソース電極12間に位置するゲート絶縁膜10を覆っている。ゲート絶縁膜10はドレイン電極11及びソース電極12とゲート電極13との間も絶縁している。

【0021】15はゲート電極8が形成される絶縁基板であり、ガラス、アルミナ焼結体、ポリイミドフィルム、40 ポリエステルフィルム、ポリエチレンフィルム、ポリフェニレンスルフィド膜、ポリパラキシレン膜などの各種絶縁性プラスチックで構成され得る。

【0022】次に、図3を参照しながら、有機半導体薄膜で活性層9を構成したスイッチング素子1の具体的な作成方法について個別に説明する。この種のスイッチング素子1は、IGFET、接合ゲート型FET、ショットキーゲート型FET等のFETに適用可能である。これらFETのうち、特に、素子作成が簡単なIGFETに適用したときが最適であり、ここでは、スイッチング素子1がIGFETの場合を示す。

(4)

5

【0023】又、図3に示したスイッチング素子1は、有機化合物の活性層9がドレイン電極6、ソース電極7及びゲート電極8の上に位置するプレナ構造となっているが、特にこの構造に制限されることはない。例えば、このようなIGFETの素子構造として、ドレイン電極6及びソース電極7が活性層9の上に位置するスタガ構造を採用してもよく、又は、ゲート絶縁膜10が活性層9の上に位置し更にその上にゲート電極8が位置する逆スタガ構造を採用してもよい。又、活性層9が絶縁基板15の上に位置し、更にその上にドレイン電極6及びソース電極7が位置し、更にドレイン電極6及びソース電極7間に活性層9上にゲート絶縁膜10を介してゲート電極8が位置する逆プレナ構造等を採用してもよい。

【0024】図3において、まず、絶縁基板15上にゲート電極8を形成し、ゲート電極8上にゲート絶縁膜10を形成し、ゲート絶縁膜10上に所定のギャップで隔離された一対の電極即ちドレイン電極6及びソース電極7を形成し、更に、ドレイン電極6及びソース電極7間に有機半導体からなる活性層9を形成する。

【0025】このとき、金属膜即ちゲート電極8の形成方法としては、蒸着、スペッタリング、メッキ、各種CVD成長等がある。尚、ゲート電極8は、使用目的に応じてゲート電極8と絶縁基板15とを兼ね、シリコンウェハ、ステンレス板、銅版等の導電性板を用いてもよい。シリコンウェハによりゲート電極8及び絶縁基板15を兼ねる場合、ゲート絶縁膜10として、シリコンの熱酸化法等によって得られる酸化シリコン膜を用いることが好適である。

【0026】又、有機半導体からなる活性層9の薄膜作成法としては、真空蒸着法、分子線エピタキシャル成長法、イオンクラスタビーム法、低エネルギーイオンビーム法、イオンプレーティング法、CVD法、スペッタリング法、プラズマ重合法、電解重合法、化学重合法、スピノコート法、キャスト法、ディッピング法、ロールコート法、バーコート法、LB法等が使用可能あり、材料に応じて選択され得る。この活性層9の膜厚は、特に制限されず有機半導体によつても異なるが、スイッチング素子1の特性を大きく左右する場合が多いため、一般に300Å以下が望ましい。

【0027】更に、有機半導体の電気特性はしばしばドーピング処理により制御されるが、このドーピング方法としては、化学的方法と物理的方法とがあり、いずれも使用可能である。化学的方法には、(1)気相からのドーピング、(2)液相からのドーピング、(3)電気化学的ドーピング、(4)光開始ドーピング、等があり、物理的方法には、イオン注入法がある。

【0028】又、ゲート絶縁膜10の形成方法としては、特に制限はないが、例えば、CVD法、プラズマCVD法、プラズマ重合法、蒸着法、スピノコーティング法、ディッピング法、クラスタイオノビーム蒸着法、及び、

(4)

6

LB法等が用いられる。

【0029】次に、スイッチング素子1と同様に、有機半導体薄膜で活性層14が構成されたロード素子2の作成法について説明する。ロード素子2の基本的構造は図3に示したスイッチング素子1と同様であり、例えばIGFETの場合について説明すると、絶縁基板15上に、ゲート電極13が形成され、その上にゲート絶縁膜10を介して所定のギャップで隔離された一対の電極即ちドレイン電極11及びソース電極12が形成され、その上のドレイン電極11及びソース電極12間に活性層14が形成されている。又、ロード素子2も、プレナ構造に制限されず、スタガ構造、逆スタガ構造、逆プレナ構造等、任意に作成され、素子材料及び処理方法等もスイッチング素子1の場合と同様である。

【0030】尚、図1及び図2においては、ロード素子2(又は、その構造)を、ドレイン電極11をゲート電極13に接続した飽和形としたが、この構造に制限されるわけではない。例えば、飽和形の別の構造として、図4のように、ソース電極12をゲート電極13に接続してもよい。

20 図4の構造は、スイッチング素子1がエンハンスマントnチャネルであって、ロード素子2がディプレッションnチャネルであるディプレッション形の場合に好適である。

【0031】又、図5のように、ドレイン電極11、ソース電極12及びゲート電極13を全て独立させた不飽和形も使用可能であり、この場合、ロード素子2のゲート電極13のために、ゲート端子16を独立して設ける必要がある。又、インバータの平面構造は図6のようになり、ゲート電極13は定電圧端子5から完全に隔離される。更

30 に、図7のように、電源電圧V_{DD}の極性を反転してスイッチング素子1及びロード素子2の各ゲート電極8及び13を接続した相補形としてもよい。この構造は、スイッチング素子1がエンハンスマントnチャネルであって、ロード素子2がディプレッション形pチャネルの場合に好適である。

【0032】又、図1では、スイッチング素子1及びロード素子2の各活性層9及び14となる有機半導体を個別に形成したが、一種類の有機半導体で一度に形成することもでき、これにより、素子作成プロセスを更に簡略化

40 することができる。

【0033】又、各FETの活性層9及び14を共に有機半導体で構成したが、スイッチング素子1又はロード素子2の少なくとも一方の活性層を有機半導体で構成すればよく、他方を無機半導体で構成することもできる。例えば、スイッチング素子1として、アモルファスシリコン、単結晶シリコン、多結晶シリコン、GaAs等のII~V族化合物による無機半導体FETを用いることができる。

【0034】又、IGFETからなるロード素子2に代えて、図8のように、通常の線形抵抗器17を用いてもよ

(5)

い。この場合、線形抵抗器17に関する制限は特になく、又、同一絶縁基板上に線形抵抗器17を形成する方法としては、例えば、高抵抗絶縁体に対する不純物拡散法、イオン注入法、多結晶シリコン成長法等が使用可能である。更に、各素子1及び2としては、前述のように、IGFETに限らず、接合ゲート型FETやショットキゲート型FET等のいずれでも使用可能であり、素子構造に関する制限もない。

【0035】次に、簡略化のために図8の場合を例にとって、この発明によるインバータの動作について説明する。ここでは、スイッチング素子1として、ゲート印加電圧 V_G に従って電流 I_D が増加するエンハンスマントモードで動作するpチャネルIGFETを用いた場合について説明する。

【0036】入力電圧 $V_{IN}(=V_G)$ が印加されて、ゲート電極8にゲート電圧 V_G が印加されると、活性層9にキャリアが発生してスイッチング素子1は導通(オン)状態となり、ソース電極7からドレイン電極6に電流 I_D が流れる。又、入力電圧 $V_{IN}(=V_G)$ が印加されない場合は、活性層9にキャリアが発生しないため、ソース電極7及びドレイン電極6間に電流 I_D は流れず、スイッチング素子1はオフ状態となる。

【0037】従って、定電圧端子5に電源電圧 V_{DD} を印加した状態で、入力端子3に入力電圧 V_{IN} が印加されない場合は、スイッチング素子1がオフとなってインバタ回路の電流 I_D が生じず、出力端子4から電源電圧 V_{DD} とほぼ等しい出力電圧 $V_{OUT}(=V_D)$ が得られる。

【0038】一方、入力端子3に入力電圧 V_{IN} が印加されると、スイッチング素子1がオン状態となって電流 I_D が生じ、ロード素子2としての線形抵抗器17に流れる。この電流 I_D により、線形抵抗器17において電圧降下が生じ、出力電圧 V_{OUT} は、その電圧降下分だけ低くなる。このとき、入力電圧 V_{IN} 及び出力電圧 V_{OUT} の関係は、図9のように示される。ここでは、電源電圧 V_{DD} を-5Vとしており、入力電圧 V_{IN} を0V~-5Vの範囲で変化させたときに、図示したような出力電圧 V_{OUT} の出力振幅を得ることができる。

【0039】次に、この発明によるインバータを応用した他の実施例について説明する。図10は図2と同様のインバータを奇数個連結したリング発振器を示す回路図であり、入力側のインバータの出力端子4が後段のインバータの入力端子3に接続され、定電圧端子5を共有して順次直列に配列されている。18はソース側の定電圧端子であり、各インバータに共通に接続されている。又、インバータの段数を5としたが、任意の奇数段数に設定可能である。例えば、電源電圧 V_{DD} 及び入力電圧 V_G をそれぞれ-5V、インバータ段数を11段とした場合、電圧モニタにより発振が認められ、室温にてゲート当りの信号伝達速度が1μsecであることが求められた。

【0040】尚、リング発振器の場合、各素子の構造及

(6)

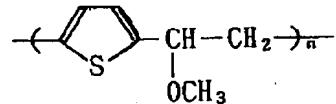
び作成法は前述と同様であるが、多くのインバータで構成されているため、一度に多くのインバータを形成できる作成法を用いることが好ましい。このため、真空蒸着法、クラスタイオノビーム蒸着法、有機分子線エピタキシャル成長法、有機分子線蒸着法等の真空プロセス、又は、スピンドル法、ディッピング法、キャスト法、ロールコート法、バーコード法等のウェットプロセスが好適である。更に、リング発振器内の各スイッチング素子1及びロード素子2の活性層は、単一の有機半導体で形成することが好ましい。

【0041】次に、この発明によるインバータの形成プロセスについて、図3を参照しながら、更に詳細に説明する。まず、絶縁基板15として、例えば直径2cmで厚さ0.7mmの無アルカリガラスウェハを用い、このウェハ上に、通常の蒸着法、光リソグラフィ法及びエッチング法を用いて、ゲート電極8となる厚さ1000Åのクロム薄膜パターンを形成する。

【0042】続いて、ゲート電極8上に、通常の蒸着法及びマスク法を用いて、ゲート絶縁膜10となる厚さ5000ÅのSiO_xを形成し、更にその上に、蒸着法を用いて、厚さ1000Åのクロム薄膜を形成した後、その上に厚さ200Åの金属膜を形成する。ここで、下地のクロム薄膜は、ゲート絶縁膜10(SiO_x)と実質的なドレイン電極6及びソース電極7(金属膜)との密着性を向上させる目的で使用されている。次に、クロム薄膜を下地とする金属膜を、通常の光リソグラフィ法及びエッチング法を用いてパターニングし、所望のドレイン電極6及びソース電極7を形成して素子基板とする。

【0043】次に、素子基板上に活性層9を形成するプロセスについて説明する。まず、構造式

【化1】



(n ≈ 1000)

で示されるポリ(2,5-チエニレンビニレン)の前駆体を用い、この前駆体ポリマーの2wt%ジメチルホルムアミド溶液を素子基板上にスピンドルコートする。このときのスピンドルコートは、例えば、回転数が4000rpm、回転時間が60秒、雰囲気温度が60°Cにて空気中で行われる。

【0044】こうして形成された前駆体ポリマーの薄膜に対し、十分乾燥させた後、赤外線ゴールドイメージ炉を用い、塩化水素ガスを微量含む窒素気流下で、210°Cにて90分間の加熱処理を施す。このときの塩化水素ガスの供給は、ガス洗浄瓶中の塩酸試薬原液上に窒素ガスを流し込み、ガス洗浄瓶から流出する塩化水素ガスを含む窒素ガスを濃硫酸及び塩化カルシウム乾燥管で乾燥させた後、イメージ炉内に流入することにより行われる。

(6)

9

【0045】この加熱処理により、ポリ(2,5-チエニレンビニレン)の前駆体ポリマは、構造式
【化2】



(n=1000)

で示されるポリ(2,5-チエニレンビニレン)に変換され、光沢を有する褐色の極めて均質な膜となる。この変換の確認は、加熱処理後の薄膜の赤外線吸収スペクトルにおいて、前駆体ポリマの側鎖エーテル結合に基づく 1100cm^{-1} のC-O-C伸縮振動の吸収が消失し、ポリ(2,5-チエニレンビニレン)のビニレン結合に基づく 1590cm^{-1} のトランスビミニレンC-H面外変角振動の吸収が現れることにより行うことができる。又は、電子スペクトルにおいて、約 530nm の極大をもつπ-πスター(伝導性電子状態が光照射等で反転した状態)に基づく吸収が出現し、一重結合と二重結合の繰り返しによるπ-共役結合が形成されていることからも、上記変換の確認を行うことができる。

【0046】こうして得られたインバータは、図1～図3に参照されるように、プレナ型のIGFETで構成され、ガラスウェハ素子基板(絶縁基板15)とSiO_x絶縁膜(ゲート絶縁膜10)との間のクロム薄膜はゲート電極8として働き、ゲート絶縁膜10上のクロム薄膜を下地とする一対の金属膜はドレイン電極6及びソース電極7として働く。又、π-共役系の高分子であるポリ(2,5-チエニレンビニレン)即ちPTVは、何らドーピング処理を施さなくても半導体特性を示し、スイッチング素子1及びロード素子2の活性層9及び14として働く。

【0047】ここで、スイッチング素子1のチャネル幅(W)及びチャネル長(L)は、それぞれ 2mm 、 $2.5\mu\text{m}$ であり、又、ロード素子2のチャネル幅(W)及びチャネル長(L)は、それぞれ $400\mu\text{m}$ 、 $2.5\mu\text{m}$ である。図11はこうして得られたスイッチング素子1の電気特性を示し、横軸はソース電極7及びドレイン電極6間の電圧 V_{DS} 、縦軸はソース電極7及びドレイン電極6間の電流 I_D である。ここでは、異なるゲート電圧 V_G (=-1V、-2V、…、-5V)での各静特性を示し、この静特性より、活性層9にチャネルが形成され始めるときのしきい値電圧 V_{TH} が、ほぼ0Vであること、並びに、キャリア移動度 μ が、 $1\times 10^{-1}\text{cm}^2/\text{V}\cdot\text{sec}$ であることが求められる。

【0048】一方、ロード素子2をIGFETからなる飽和ロード素子(図2)とするため、電源電圧 V_{DD} が印加されるドレイン電極11(ゲート絶縁膜10を介してゲート電極13から隔離されている)を、ロード素子2の外側でゲート電極13と結線する。これにより、 $V_{DD}=V_{GG}$ となり、理想的には、トランジスタ特性におけるピンチオフによる電流飽和開始時点の電流値を示すようになる。こ

10

のような飽和ロード素子2のロードラインを図11に示す。ここで、横軸はロード素子2のゲート電圧 V_{GG} 即ち電源電圧 V_{DD} である。又、スイッチング素子1と組み合わせたインバータの入出力特性は前述したように図9のようになる。

【0049】以上、ロード素子2を飽和ロード素子として説明したが、図5及び図6のような不飽和ロード素子の場合も上記と同様に作成することができる。この場合、電源電圧 V_{DD} 及びゲート電圧 V_{GG} は必ずしも一致せず、ロード素子2のチャネル抵抗値がゲート電圧 V_{GG} により任意に設定される。しかし、前述のように、ゲートしきい値電圧 V_{TH} がほぼ0Vなので、ゲート電圧 V_{GG} を電源電圧 V_{DD} と一致させてロード素子2の電流飽和領域で用いたときには、上記飽和ロード素子の場合の特性と一致し、インバータの入出力特性も図9と同様になる。

【0050】以上のように、IC回路等の基本構成要素となるインバータとして、有機FETを2個(又は、少なくとも1個)組み合わせたものをモノリシックに作成、あるいは、有機FETと線形抵抗器とを組み合わせて作成することにより、有機インバータ素子を用いることができる。従って、従来よりも簡単なプロセスで大面積基板上に素子を作成でき、集積度が向上するうえコストが低減される。このとき、入力電圧 V_{IN} に対し逆電圧の出力電圧 V_{OUT} が得られ、インバータ特性を損なうこともない。又、同様のインバータを奇数個接続した構造のリング発振器も作成可能となる。

【0051】

【発明の効果】以上のようにこの発明によれば、スイッチング素子又はロード素子のうちの少なくとも一方の活性層を有機半導体で構成したので、プロセスが簡単で且つ安価な有機半導体を用いて、種々のIC回路の基本構成素子となる応用範囲の広いインバータが得られる効果がある。

【図面の簡単な説明】

【図1】この発明の一実施例の構造を示す平面図である。

【図2】図1の結線状態を示す回路図である。

【図3】図1内のスイッチング素子の構造を示す断面図である。

【図4】図1内のロード素子を他の飽和ロード素子とした場合のこの発明の他の実施例の結線状態を示す回路図である。

【図5】図1内のロード素子を不飽和ロード素子とした場合のこの発明の他の実施例の結線状態を示す回路図である。

【図6】図5のインバータ全体の構造を示す平面図である。

【図7】インバータを相補性FETとした場合のこの発明の他の実施例の結線状態を示す回路図である。

【図8】図1内のロード素子を線形抵抗器とした場合の

(7)

II

この発明の他の実施例の結線状態を示す回路図である。

【図9】この発明によるインバータの入出力特性を示す特性図である。

【図10】図1及び図2のインバータを奇数個連結して、リング発振器とした場合のこの発明の他の実施例の結線状態を示す回路図である。

【図11】この発明によるスイッチング素子及びロード

12

素子の特性を示す特性図である。

【符号の説明】

1 スイッチング素子

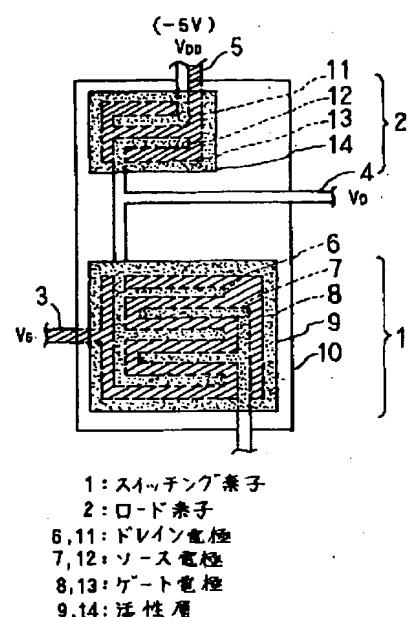
2 ロード素子

6, 11 ドレイン電極

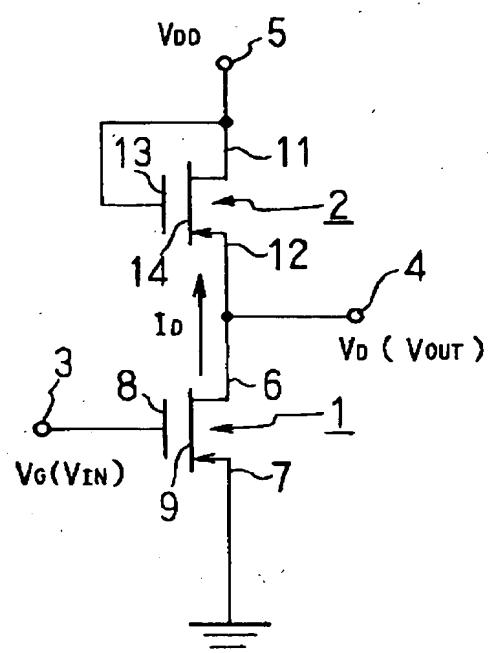
7, 12 ソース電極

8, 13 ゲート電極

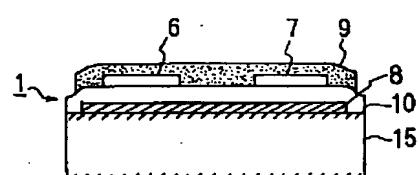
【図1】



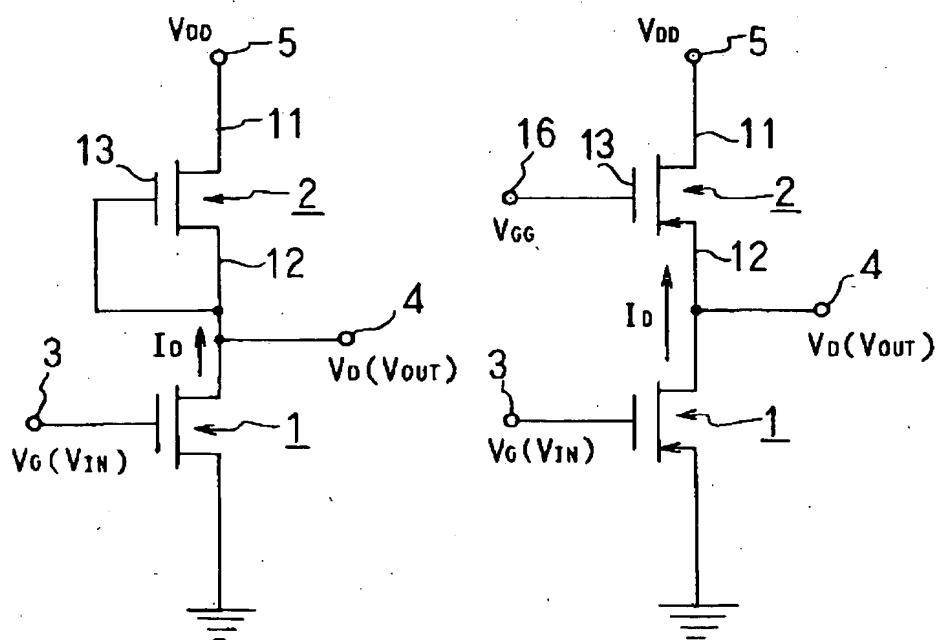
【図2】



【図3】



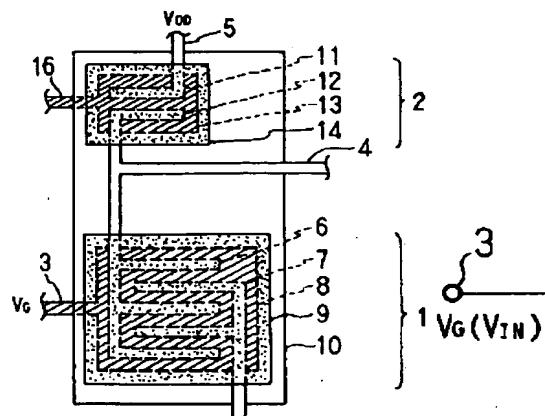
【図4】



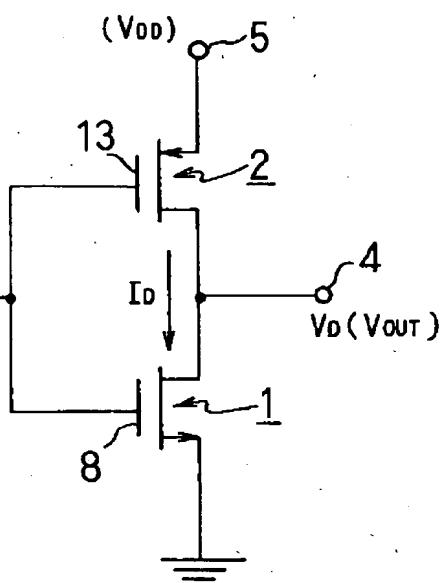
【図5】

(8)

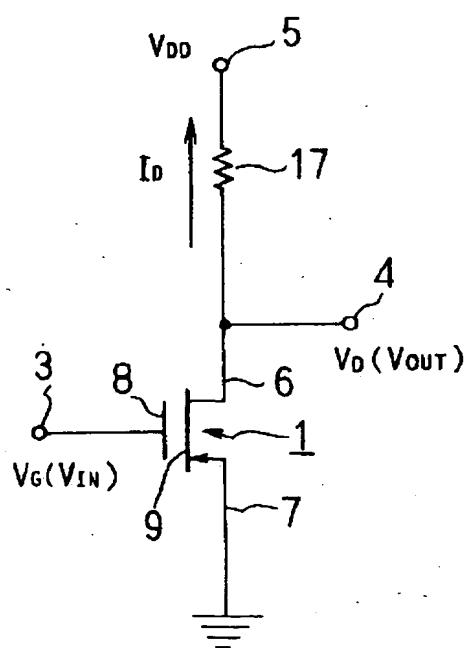
【図6】



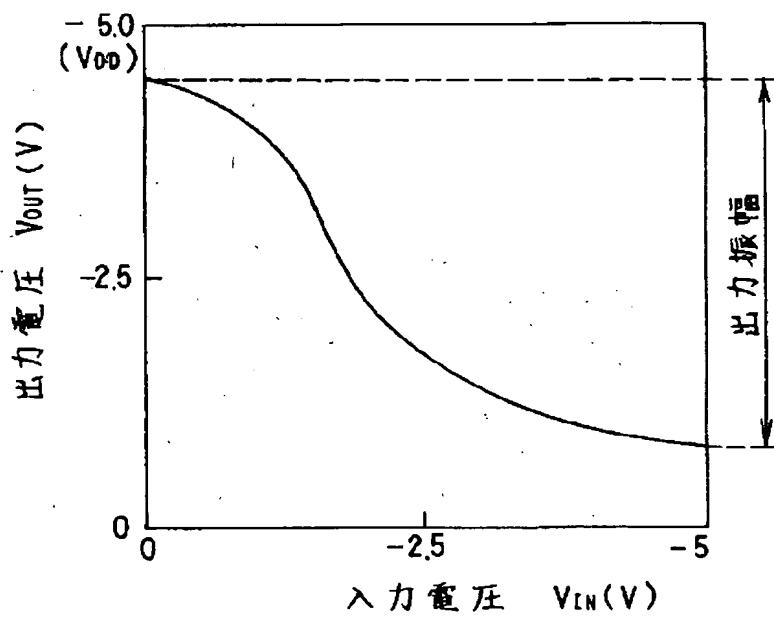
【図7】



【図8】

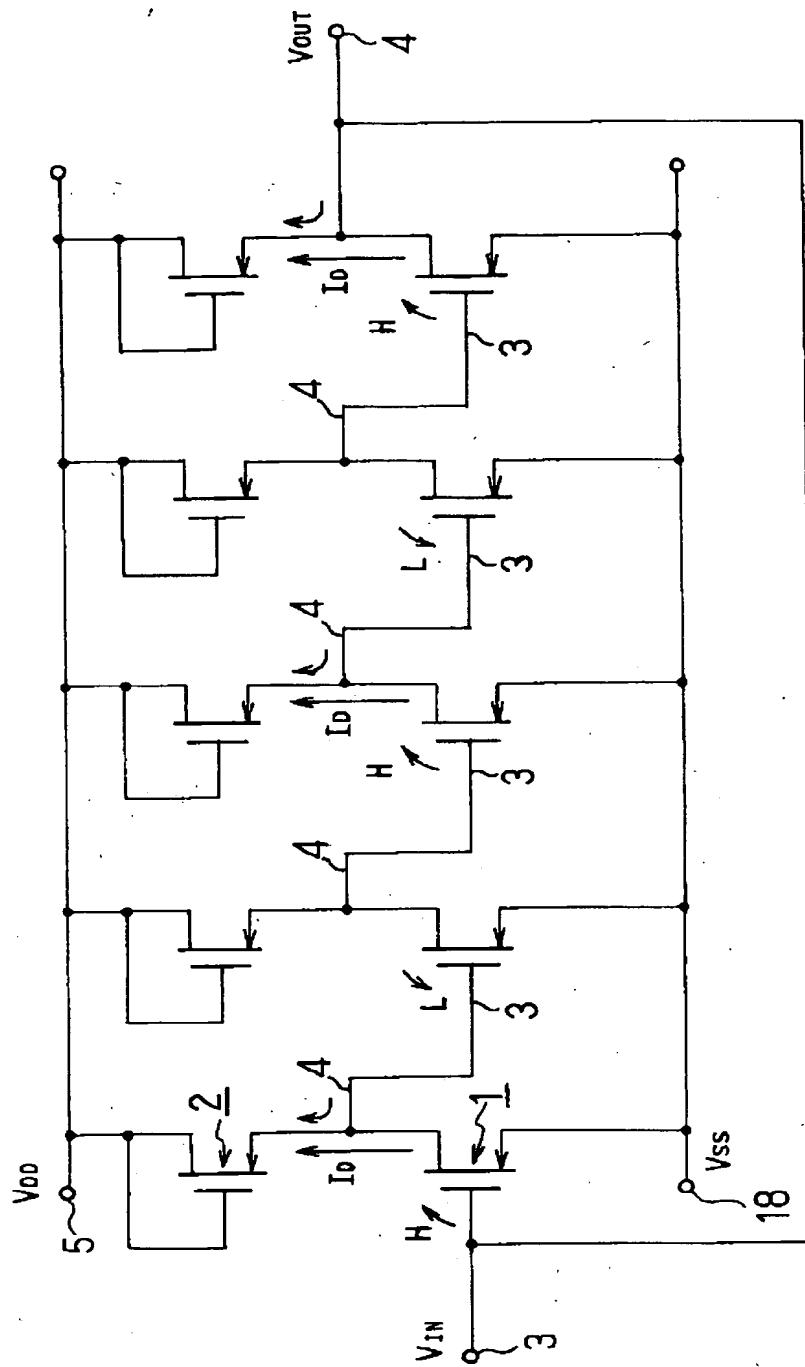


【図9】



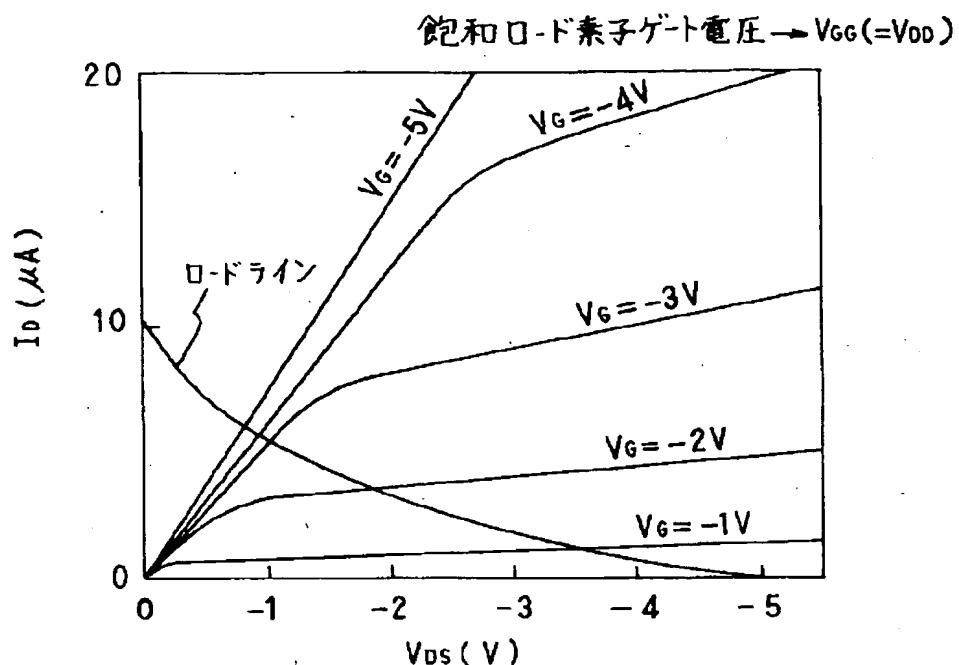
(9)

【図10】



(10)

【図11】



フロントページの続き

(51) Int. Cl. 5

H O 1 L 29/804

識別記号 庁内整理番号

F I

技術表示箇所

(72) 発明者 土居 秀二

茨城県つくば市北原6番 住友化学工業株
式会社筑波研究所内

(72) 発明者 渕上 宏幸

尼崎市塚口本町8丁目1番1号 三菱電機
株式会社材料研究所内

(72) 発明者 津村 顯

尼崎市塚口本町8丁目1番1号 三菱電機
株式会社材料研究所内

(72) 発明者 肥塚 裕至

尼崎市塚口本町8丁目1番1号 三菱電機
株式会社材料研究所内